

CIRCUIT DEVICE AND MANUFACTURING METHOD THEREFOR

Patent Number: JP2001217338

Publication date: 2001-08-10

Inventor(s): SAKAMOTO NORIAKI; KOBAYASHI YOSHIYUKI; SAKAMOTO JUNJI; MASHITA SHIGEAKI; OKAWA KATSUMI; MAEHARA EIJI; TAKAHASHI YUKITSUGU

Applicant(s): SANYO ELECTRIC CO LTD

Requested Patent: JP2001217338

Application Number: JP20000022646 20000131

Priority Number (s):

IPC Classification: H01L23/12; H01L21/56; H01L23/28; H01L23/50

EC Classification:

Equivalents:

Abstract

PROBLEM TO BE SOLVED: To solve a problem that the thickness of a retaining substrate makes a circuit device large, in a circuit device wherein circuit elements are mounted by using a printed board, a ceramic substrate, a flexible sheet, etc., as the retaining substrate, which is essentially unnecessary and superfluous material.

SOLUTION: After isolation trenches 54 are formed in a conducting foil 60, circuit elements are mounted, and insulating resin 50 is stuck on the conducting foil 60 which is made the retaining substrate. After inversion, the conducting foil is polished and isolated as conducting paths by using the insulating resin 50 as the retaining substrate. As a result, a circuit device wherein the conducting paths 51 and the circuit elements 52 are retained by the insulating resin 50 can be realized, without adopting the retaining substrate.

Data supplied from the **esp@cenet** database - I2

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-217338

(P2001-217338A)

(43)公開日 平成13年8月10日(2001.8.10)

(51)Int.Cl.⁷

H 0 1 L 23/12
21/56
23/28
23/50

識別記号

F I
H 0 1 L 21/56
23/28
23/50
23/12

テマコード(参考)
R 4 M 1 0 9
A 5 F 0 6 1
R 5 F 0 6 7
L

審査請求 未請求 請求項の数27 O.L (全 15 頁)

(21)出願番号

特願2000-22646(P2000-22646)

(22)出願日

平成12年1月31日(2000.1.31)

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 坂本 則明

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72)発明者 小林 義幸

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(74)代理人 100107906

弁理士 須藤 克彦

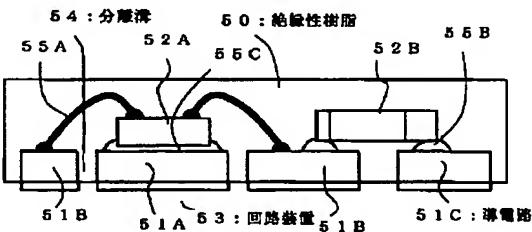
最終頁に続く

(54)【発明の名称】 回路装置およびその製造方法

(57)【要約】

【課題】 プリント基板、セラミック基板、フレキシブルシート等が支持基板として回路素子が実装された回路装置がある。しかしこれらの支持基板は、本来必要でなく余分な材料である。しかも支持基板の厚みが、回路装置を大型化にする問題もあった。

【解決手段】 導電箔50に分離溝54を形成した後、回路素子を実装し、この導電箔50を支持基板として絶縁性樹脂50を被着し、反転した後、今度は絶縁性樹脂50を支持基板として導電箔を研磨して導電路として分離している。従って支持基板を採用することなく、導電路51、回路素子52が絶縁性樹脂50に支持された回路装置が実現できる。



【特許請求の範囲】

【請求項1】 電気的に分離された複数の導電路と、所望の該導電路上に固着された回路素子と、該回路素子を被覆し且つ前記導電路を一体に支持する絶縁性樹脂とを備えたことを特徴とする回路装置。

【請求項2】 分離溝で電気的に分離された複数の導電路と、所望の該導電路上に固着された回路素子と、該回路素子を被覆し且つ前記導電路間の前記分離溝に充填されて一体に支持する絶縁性樹脂とを備えたことを特徴とする回路装置。

【請求項3】 分離溝で電気的に分離された複数の導電路と、所望の該導電路上に固着された回路素子と、該回路素子を被覆し且つ前記導電路間の前記分離溝に充填され前記導電路の裏面のみを露出して一体に支持する絶縁性樹脂とを備えたことを特徴とする回路装置。

【請求項4】 分離溝で電気的に分離された複数の導電路と、所望の該導電路上に固着された回路素子と、該回路素子の電極と他の前記導電路とを接続する接続手段と、前記回路素子を被覆し且つ前記導電路間の前記分離溝に充填され前記導電路の裏面のみを露出して一体に支持する絶縁性樹脂とを備えたことを特徴とする回路装置。

【請求項5】 分離溝で電気的に分離された複数の導電路と、所望の該導電路上に固着された複数の回路素子と、該回路素子の所望の電極と他の前記導電路とを接続する接続手段と、前記回路素子を被覆し且つ前記導電路間の前記分離溝に充填され前記導電路の裏面のみを露出して一体に支持する絶縁性樹脂とを備えたことを特徴とする回路装置。

【請求項6】 前記導電路は銅、アルミニウム、鉄ニッケルのいずれかの導電箔で構成されることを特徴とする請求項1から請求項5のいずれかに記載された回路装置。

【請求項7】 前記導電路上に前記導電路とは異なる金属材料より成る導電被膜を設けることを特徴とする請求項1から請求項5のいずれかに記載された回路装置。

【請求項8】 前記導電被膜はニッケル、金あるいは銀メッキで構成されることを特徴とする請求項7に記載された回路装置。

【請求項9】 前記回路素子は半導体ペアチップ、チップ回路部品のいずれかあるいは両方で構成されることを特徴とする請求項1から請求項5のいずれかに記載された回路装置。

【請求項10】 前記接続手段はポンディング細線で構成されることを特徴とする請求項4または請求項5に記載された回路装置。

【請求項11】 前記導電路の裏面と前記分離溝間に充填された絶縁性樹脂の裏面とを実質的に平坦にすることを特徴とする請求項2から請求項5のいずれかに記載された回路装置。

【請求項12】 前記導電路は電極、ポンディングパッドまたはダイパッド領域として用いられることを特徴とした請求項1から請求項5のいずれかに記載された回路装置。

【請求項13】 導電箔を用意し、少なくとも導電路と成る領域を除いた前記導電箔に、前記導電箔の厚みよりも浅い分離溝を形成して導電路を形成する工程と、所望の前記導電路上に回路素子を固着する工程と、前記回路素子を被覆し、前記分離溝に充填されるように絶縁性樹脂でモールドする工程と、前記分離溝を設けていない厚み部分の前記導電箔を除去する工程とを具備することを特徴とする回路装置の製造方法。

【請求項14】 導電箔を用意し、少なくとも導電路と成る領域を除いた前記導電箔に、前記導電箔の厚みよりも浅い分離溝を形成して導電路を形成する工程と、所望の前記導電路上に回路素子を固着する工程と、前記回路素子の電極と所望の前記導電路とを電気的に接続する接続手段を形成する工程と、前記回路素子を被覆し、前記分離溝に充填されるように絶縁性樹脂でモールドする工程と、前記分離溝を設けていない厚み部分の前記導電箔を除去する工程とを具備することを特徴とする回路装置の製造方法。

【請求項15】 導電箔を用意し、該導電箔表面の少なくとも導電路となる領域に耐食性の導電被膜を形成する工程と、少なくとも導電路となる領域を除いた前記導電箔に、前記導電箔の厚みよりも浅い分離溝を形成して導電路を形成する工程と、所望の前記導電路上に回路素子を固着する工程と、前記回路素子の電極と所望の前記導電路とを電気的に接続する接続手段を形成する工程と前記回路素子を被覆し、前記分離溝に充填されるように絶縁性樹脂でモールドする工程と、前記分離溝を設けていない厚み部分の前記導電箔を除去する工程とを具備することを特徴とする回路装置の製造方法。

【請求項16】 導電箔を用意し、少なくとも導電路と成る領域を除いた前記導電箔に、前記導電箔の厚みよりも浅い分離溝を形成して導電路を形成する工程と、所望の前記導電路上に回路素子を固着する工程と、前記回路素子の電極と所望の前記導電路とを電気的に接続する接続手段を形成する工程と前記回路素子を被覆し、前記分離溝に充填されるように絶縁性樹脂でモールドする工程と、前記分離溝を設けていない厚み部分の前記導電箔を除去する工程と、前記絶縁性樹脂を切断して個別の回路装置に分離する工程とを具備することを特徴とする回路装置の製造方法。

【請求項17】導電箔を用意し、少なくとも導電路となる領域を除いた前記導電箔に、前記導電箔の厚みよりも浅い分離溝を形成して導電路を形成する工程と、所望の前記導電路上に複数の回路素子を固着する工程と、

前記回路素子の電極と所望の前記導電路とを電気的に接続する接続手段を形成する工程と前記複数の回路素子を被覆し、前記分離溝に充填されるように絶縁性樹脂でモールドする工程と、

前記分離溝を設けていない厚み部分の前記導電箔を除去する工程と、前記絶縁性樹脂を切断して個別の回路装置に分離する工程とを具備することを特徴とする回路装置の製造方法。

【請求項18】導電箔を用意し、少なくとも導電路となる領域を除いた前記導電箔に、前記導電箔の厚みよりも浅い分離溝を形成して導電路を形成する工程と、所望の前記導電路上に回路素子を固着する工程と、前記回路素子の電極と所望の前記導電路とを電気的に接続する接続手段を形成する工程と前記回路素子を被覆し、前記分離溝に充填されるように絶縁性樹脂でモールドする工程と、

前記分離溝を設けていない厚み部分の前記導電箔を裏面より一様に除去し前記導電路の裏面と前記分離溝間の前記絶縁性樹脂とを実質的に平坦面にする工程とを具備することを特徴とする回路装置の製造方法。

【請求項19】導電箔を用意し、少なくとも導電路となる領域を除いた前記導電箔に、前記導電箔の厚みよりも浅い分離溝を形成して導電路を形成する工程と、所望の前記導電路上に回路素子を固着する工程と、前記回路素子の電極と所望の前記導電路とを電気的に接続する接続手段を形成する工程と前記回路素子を被覆し、前記分離溝に充填されるように絶縁性樹脂でモールドする工程と、

前記分離溝を設けていない厚み部分の前記導電箔を裏面より一様に除去し前記導電路の裏面と前記分離溝間の前記絶縁性樹脂とを実質的に平坦面にする工程と、前記絶縁性樹脂を切断して個別の回路装置に分離する工程とを具備することを特徴とする回路装置の製造方法。

【請求項20】前記導電箔は銅、アルミニウム、鉄ニッケルのいずれかで構成されることを特徴とする請求項13から請求項19のいずれかに記載された回路装置の製造方法。

【請求項21】前記導電被膜はニッケルあるいは銀メッキ形成されることを特徴とする請求項15に記載された回路装置の製造方法。

【請求項22】前記導電箔に選択的に形成される前記分離溝は化学的あるいは物理的エッチングにより形成されることを特徴とする請求項13から請求項19のいずれかに記載された回路装置の製造方法。

【請求項23】前記導電被膜を前記分離溝形成時のマ

スクの一部として使用することを特徴とする請求項21に記載された回路装置の製造方法。

【請求項24】前記回路素子は半導体ペアチップ、チップ回路部品のいずれかあるいは両方を固着されることを特徴とする請求項13から請求項19のいずれかに記載された回路装置の製造方法。

【請求項25】前記接続手段はワイヤーボンディングで形成されることを特徴とする請求項14から請求項19のいずれかに記載された回路装置の製造方法。

【請求項26】前記絶縁性樹脂はトランスファーモールドで付着されることを特徴とする請求項13から請求項19のいずれかに記載された回路装置の製造方法。

【請求項27】前記絶縁性樹脂はダイシングにより個別の回路装置に分離することを特徴とする請求項16、請求項17あるいは請求項19のいずれかに記載された回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、回路装置およびその製造方法に関し、特に支持基板を不要にした薄型の回路装置およびその製造方法に関するものである。

【0002】

【従来の技術】従来、電子機器にセットされる回路装置は、携帯電話、携帯用のコンピューター等に採用されるため、小型化、薄型化、軽量化が求められている。

【0003】例えば、回路装置として半導体装置を例にして述べると、一般的な半導体装置として、従来通常のトランスファーモールドで封止されたパッケージ型半導体装置がある。この半導体装置は、図23のように、プリント基板PSに実装される。

【0004】またこのパッケージ型半導体装置は、半導体チップ2の周囲を樹脂層3で被覆し、この樹脂層3の側部から外部接続用のリード端子4が導出されたものである。

【0005】しかしこのパッケージ型半導体装置1は、リード端子4が樹脂層3から外に出ており、全体のサイズが大きく、小型化、薄型化および軽量化を満足するものではなかった。

【0006】そのため、各社が競って小型化、薄型化および軽量化を実現すべく、色々な構造を開発し、最近ではCSP(チップサイズパッケージ)と呼ばれる、チップのサイズと同等のウェハスケールCSP、またはチップサイズよりも若干大きいサイズのCSPが開発されている。

【0007】図24は、支持基板としてガラスエポキシ基板5を採用した、チップサイズよりも若干大きいCSP6を示すものである。ここではガラスエポキシ基板5にトランジスタチップTが実装されたものとして説明していく。

【0008】このガラスエポキシ基板5の表面には、第

1の電極7、第2の電極8およびダイパッド9が形成され、裏面には第1の裏面電極10と第2の裏面電極11が形成されている。そしてスルーホールTHを介して、前記第1の電極7と第1の裏面電極10が、第2の電極8と第2の裏面電極11が電気的に接続されている。またダイパッド9には前記ペアのトランジスタチップTが固着され、トランジスタのエミッタ電極と第1の電極7が金属細線12を介して接続され、トランジスタのベース電極と第2の電極8が金属細線12を介して接続されている。更にトランジスタチップTを覆うようにガラスエポキシ基板5に樹脂層13が設けられている。

【0009】前記CSP6は、ガラスエポキシ基板5を採用するが、ウェハスケールCSPと違い、チップTから外部接続用の裏面電極10、11までの延在構造が簡単であり、安価に製造できるメリットを有する。

【0010】また前記CSP6は、図23のように、プリント基板PSに実装される。プリント基板PSには、電気回路を構成する電極、配線が設けられ、前記CSP6、パッケージ型半導体装置1、チップ抵抗CRまたはチップコンデンサCC等が電気的に接続されて固着される。

【0011】そしてこのプリント基板で構成された回路は、色々なセットの中に取り付けられる。

【0012】つぎに、このCSPの製造方法を図25および図26を参照しながら説明する。尚、図26では、中央のガラエボ／フレキ基板と題するフロー図を参考する。

【0013】まず基材（支持基板）としてガラスエポキシ基板5を用意し、この両面に絶縁性接着剤を介してCu箔20、21を圧着する。（以上図25Aを参照）続いて、第1の電極7、第2の電極8、ダイパッド9、第1の裏面電極10および第2の裏面電極11に対応するCu箔20、21に耐エッチング性のレジスト22を被覆し、Cu箔20、21をパターニングする。尚、パターニングは、表と裏で別々にしても良い（以上図25Bを参照）

続いて、ドリルやレーザを利用してスルーホールTHのための孔を前記ガラスエポキシ基板に形成し、この孔にメッキを施し、スルーホールTHを形成する。このスルーホールTHにより第1の電極7と第1の裏面電極10、第2の電極8と第2の裏面電極10が電気的に接続される。（以上図25Cを参照）

更に、図面では省略したが、ポンディングポストとなる第1の電極7、第2の電極8にNiメッキを施すと共に、ダイポンディングポストとなるダイパッド9にAuメッキを施し、トランジスタチップTをダイポンディングする。

【0014】最後に、トランジスタチップTのエミッタ電極と第1の電極7、トランジスタチップTのベース電極と第2の電極8を金属細線12を介して接続し、樹脂

層13で被覆している。（以上図25Dを参照）

そして必要により、ダイシングして個々の電気素子として分離している。図25では、ガラスエポキシ基板5に、トランジスタチップTが一つしか設けられていないが、実際は、トランジスタチップTがマトリックス状に多数個設けられている。そのため、最後にダイシング装置により個別分離されている。

【0015】以上の製造方法により、支持基板5を採用したCSP型の電気素子が完成する。この製造方法は、支持基板としてフレキシブルシートを採用しても同様である。

【0016】一方、セラミック基板を採用した製造方法を図26左側のフローに示す。支持基板であるセラミック基板を用意した後、スルーホールを形成し、その後、導電ペーストを使い、表と裏の電極を印刷し、焼結している。その後、前製造方法の樹脂層を被覆するまでは図25の製造方法と同じであるが、セラミック基板は、非常に柔軟、フレキシブルシートやガラスエポキシ基板と異なり、直ぐに欠けてしまうため金型を用いたモールドができない問題がある。そのため、封止樹脂をポッティングし、硬化した後、封止樹脂を平らにする研磨を施し、最後にダイシング装置を使って個別分離している。

【0017】

【発明が解決しようとする課題】図24に於いて、トランジスタチップT、接続手段7～12および樹脂層13は、外部との電気的接続、トランジスタの保護をする上で、必要な構成要素であるが、これだけの構成要素で小型化、薄型化、軽量化を実現する電気回路素子を提供するのは難しかった。

【0018】また、支持基板となるガラスエポキシ基板5は、前述したように本来不要なものである。しかし製造方法上、電極を貼り合わせるため、支持基板として採用しており、このガラスエポキシ基板5を無くすことができなかった。

【0019】そのため、このガラスエポキシ基板5を採用することによって、コストが上昇し、更にはガラスエポキシ基板5が厚いために、回路素子として厚くなり、小型化、薄型化、軽量化に限界があった。

【0020】更に、ガラスエポキシ基板やセラミック基板では必ず両面の電極を接続するスルーホール形成工程が不可欠であり、製造工程も長くなる問題もあった。

【0021】

【課題を解決するための手段】本発明は、前述した多くの課題に鑑みて成され、第1に、電気的に分離された複数の導電路と、所望の該導電路上に固定された回路素子と、該回路素子を被覆し且つ前記導電路を一体に支持する絶縁性樹脂とを備えた回路装置を提供することで、構成要素を最小限にして従来の課題を解決するものである。

【0022】第2に、分離溝で電気的に分離された複数

の導電路と、所望の該導電路上に固着された回路素子と、該回路素子を被覆し且つ前記導電路間の前記分離溝に充填されて一体に支持する絶縁性樹脂とを備えた回路装置を提供することで、分離溝に充填された絶縁性樹脂により複数の導電路を一体に支持して従来の課題を解決するものである。

【0023】第3に、分離溝で電気的に分離された複数の導電路と、所望の該導電路上に固着された回路素子と、該回路素子を被覆し且つ前記導電路間の前記分離溝に充填され前記導電路の裏面のみを露出して一体に支持する絶縁性樹脂とを備えた回路装置を提供することで、導電路の裏面が外部との接続に供することができスルーホールを不要にでき従来の課題を解決するものである。

【0024】第4に、導電箔を用意し、少なくとも導電路と成る領域を除いた前記導電箔に、前記導電箔の厚みよりも浅い分離溝を形成して導電路を形成する工程と、所望の前記導電路上に回路素子を固着する工程と、前記回路素子を被覆し、前記分離溝に充填されるように絶縁性樹脂でモールドする工程と、前記分離溝を設けていない厚み部分の前記導電箔を除去する工程とを具備する回路装置の製造方法を提供することで、導電路を形成する導電箔がスタートの材料であり、絶縁性樹脂がモールドされるまでは導電箔が支持機能を有し、モールド後は絶縁性樹脂が支持機能を有することで支持基板を不要にでき、従来の課題を解決することができる。

【0025】第5に、導電箔を用意し、少なくとも導電路と成る領域を除いた前記導電箔に、前記導電箔の厚みよりも浅い分離溝を形成して導電路を形成する工程と、所望の前記導電路上に複数の回路素子を固着する工程と、前記回路素子の電極と所望の前記導電路とを電気的に接続する接続手段を形成する工程と、前記複数の回路素子を被覆し、前記分離溝に充填されるように絶縁性樹脂でモールドする工程と、前記分離溝を設けていない厚み部分の前記導電箔を除去する工程と、前記絶縁性樹脂を切断して個別の回路装置に分離する工程とを具備する回路装置の製造方法を提供することで、多数個の回路装置を量産でき、従来の課題を解決することができる。

【0026】

【発明の実施の形態】回路装置を説明する第1の実施の形態

まず本発明の回路装置について図1を参照しながらその構造について説明する。

【0027】図1には、絶縁性樹脂50に埋め込まれた導電路51を有し、前記導電路51上には回路素子52が固着され、前記絶縁性樹脂50で導電路51を支持して成る回路装置53が示されている。

【0028】本構造は、回路素子52A、52B、複数の導電路51A、51B、51Cと、この導電路51A、51B、51Cを埋め込む絶縁性樹脂50の3つの材料で構成され、導電路51間には、この絶縁性樹脂5

0で充填された分離溝54が設けられる。そして絶縁性樹脂50により前記導電路51が支持されている。

【0029】絶縁性樹脂としては、エポキシ樹脂等の熱硬化性樹脂、ポリイミド樹脂、ポリフェニレンサルファイド等の熱可塑性樹脂を用いることができる。また絶縁性樹脂は、金型を用いて固める樹脂、ディップ、塗布をして被覆できる樹脂であれば、全ての樹脂が採用できる。また導電路51としては、Cuを主材料とした導電箔、Alを主材料とした導電箔、またはFe-Ni等の合金から成る導電箔等を用いることができる。もちろん、他の導電材料でも可能であり、特にエッティングできる導電材、レーザで蒸発する導電材が好ましい。

【0030】また回路素子52の接続手段は、金属細線55A、ロウ材から成る導電ボール、扁平する導電ボール、半田等のロウ材55B、Agペースト等の導電ペースト55C、導電被膜または異方性導電性樹脂等である。これら接続手段は、回路素子52の種類、回路素子52の実装形態で選択される。例えば、ペアの半導体素子であれば、表面の電極と導電路51との接続は、金属細線が選択され、CSPであれば半田ボールや半田バンプが選択される。またチップ抵抗、チップコンデンサは、半田55Bが選択される。またパッケージされた回路素子、例えばBGA等を導電路51に実装しても問題はなく、これを採用する場合、接続手段は半田が選択される。

【0031】また回路素子と導電路51Aとの固着は、電気的接続が不要であれば、絶縁性接着剤が選択され、また電気的接続が必要な場合は、導電被膜が採用される。ここでこの導電被膜は、少なくとも一層あればよい。

【0032】この導電被膜として考えられる材料は、Ag、Au、PtまたはPd等であり、蒸着、スパッタリング、CVD等の低真空、または高真空下の被着、メッキまたは焼結等により被覆される。

【0033】例えばAgは、Auと接着するし、ロウ材とも接着する。よってチップ裏面にAu被膜が被覆されていれば、そのままAg被膜、Au被膜、半田被膜を導電路51Aに被覆することによってチップを熱圧着でき、また半田等のロウ材を介してチップを固着できる。ここで、前記導電被膜は複数層に積層された導電被膜の最上層に形成されても良い。例えば、Cuの導電路51Aの上には、Ni被膜、Au被膜の二層が順に被着されたもの、Ni被膜、Cu被膜、半田被膜の三層が順に被着されたもの、Ag被膜、Ni被膜の二層が順に被覆されたものが形成できる。尚、これら導電被膜の種類、積層構造は、これ以外にも多数あるが、ここでは省略をする。

【0034】本回路装置は、導電路51を封止樹脂である絶縁性樹脂50で支持しているため、支持基板が不要となり、導電路51、回路素子52および絶縁性樹脂5

0で構成される。この構成は、本発明の特徴である。従来の技術の欄でも説明したように、従来の回路装置の導電路は、支持基板で支持されたり、リードフレームで支持されているため、本来不要にしても良い構成が付加されている。しかし、本回路装置は、必要最小限の構成要素で構成され、支持基板を不要としているため、薄型で安価となる特徴を有する。

【0035】また前記構成の他に、回路素子52を被覆し且つ前記導電路52間の前記分離溝54に充填されて一体に支持する絶縁性樹脂50を有している。

【0036】この導電路51間は、分離溝54となり、ここに絶縁性樹脂50が充填されることで、お互いの絶縁がはかれるメリットを有する。

【0037】また、回路素子52を被覆し且つ導電路51間の分離溝54に充填され導電路51の裏面のみを露出して一体に支持する絶縁性樹脂50を有している。

【0038】この導電路の裏面を露出する点は、本発明の特徴の一つである。導電路の裏面が外部との接続に供することができ、図24の如き従来構造のスルーホールTHを不要にできる特徴を有する。

【0039】しかも回路素子がロウ材、Au、Ag等の導電被膜を介して直接固定されている場合、導電路51の裏面が露出されてため、回路素子52Aから発生する熱を導電路51Aを介して実装基板に伝えることができる。特に放熱により、駆動電流の上昇等の特性改善が可能となる半導体チップに有効である。

【0040】また本回路装置は、分離溝54の表面と導電路51の表面は、実質一致している構造となっている。本構造は、本発明の特徴であり、図24に示す裏面電極10、11の段差が設けられないため、回路装置53をそのまま水平に移動できる特徴を有する。

回路装置を説明する第2の実施の形態

次に図7に示された回路装置56を説明する。

【0041】本構造は、導電路51の表面に導電被膜57が形成されており、それ以外は、図1の構造と実質同一である。よってこの導電被膜57について説明する。

【0042】第1の特徴は、導電路や回路装置の反りを防止するするために導電被膜57を設ける点である。

【0043】一般に、絶縁性樹脂と導電路材料（以下第1の材料と呼ぶ。）の熱膨張係数の差により、回路装置自身が反ったり、また導電路が湾曲したり剥がれたりする。また導電路51の熱伝導率が絶縁性樹脂の熱伝導率よりも優れているため、導電路51の方が先に温度上昇して膨張する。そのため、第1の材料よりも熱膨張係数の小さい第2の材料を被覆することにより、導電路の反り、剥がれ、回路装置の反りを防止することができる。特に第1の材料としてCuを採用した場合、第2の材料としてはAu、NiまたはPt等が良い。Cuの膨張率は、 16.7×10^{-6} （10のマイナス6乗）で、Auは、 14×10^{-6} 、Niは、 12.8×10^{-6} 、

Ptは、 8.9×10^{-6} である。

【0044】第2の特徴は、第2の材料によりアンカー効果を持たせている点である。第2の材料によりひさし58が形成され、しかも導電路51と被着したひさし58が絶縁性樹脂50に埋め込まれているため、アンカー効果を発生し、導電路51の抜けを防止できる構造となる。

【0045】以上、回路装置としてトランジスタチップ52Aと受動素子52Bが実装された回路装置で説明してきたが、本発明は、図19の如く、一つの半導体チップが封止されて構成された回路装置、図20の如く、CSP等のフェイスダウン型の素子が実装された回路装置、または図21の如くチップ抵抗、チップコンデンサ等の受動素子が封止された回路装置でも実施できる。更には、2つの導電路間に金属細線を接続し、これが封止されたものでも良い。これはフューズとして活用できる。

回路装置の製造方法を説明する第1の実施の形態
次に図2～図6および図1を使って回路装置53の製造方法について説明する。

【0046】まず図2の如く、シート状の導電箔60を用意する。この導電箔60は、ロウ材の付着性、ボンディング性、メッキ性が考慮されてその材料が選択され、材料としては、Cuを主材料とした導電箔、Alを主材料とした導電箔またはFe-Ni等の合金から成る導電箔等が採用される。

【0047】導電箔の厚さは、後のエッチングを考慮すると $10\mu m$ ～ $300\mu m$ 程度が好ましく、ここでは $70\mu m$ （2オンス）の銅箔を採用した。しかし $300\mu m$ 以上でも $10\mu m$ 以下でも基本的には良い。後述するように、導電箔60の厚みよりも浅い分離溝61が形成できればよい。

【0048】尚、シート状の導電箔60は、所定の幅でロール状に巻かれて用意され、これが後述する各工程に搬送されても良いし、所定の大きさにカットされた導電箔が用意され、後述する各工程に搬送されても良い。統いて、少なくとも導電路51となる領域を除いた導電箔60を、導電箔60の厚みよりも薄く除去する工程がある。そしてこの除去工程により形成された分離溝61および導電箔60に絶縁性樹脂50を被覆する工程がある。

【0049】まず、Cu箔60の上に、ホトレジスト（耐エッチングマスク）PRを形成し、導電路51となる領域を除いた導電箔60が露出するようにホトレジストPRをバーニングする（以上図3を参照）。そして、前記ホトレジストPRを介してエッチングすればよい（以上図4を参照）。

【0050】エッチングにより形成された分離溝61の深さは、例えば $50\mu m$ であり、その側面は、粗面となるため絶縁性樹脂50との接着性が向上される。

【0051】またこの分離溝61の側壁は、模式的にストレートで図示しているが、除去方法により異なる構造となる。この除去工程は、ウェットエッチング、ドライエッティング、レーザによる蒸発、ダイシングが採用できる。ウェットエッティングの場合、エッチャントは、塩化第二鉄または塩化第二銅が主に採用され、前記導電箔は、このエッチャントの中にディッピングされるか、このエッチャントでシャワーリングされる。ここでウェットエッティングは、一般に非異方性にエッティングされるため、側面は湾曲構造になる。

【0052】またドライエッティングの場合は、異方性、非異方性でエッティングが可能である。現在では、Cuを反応性イオンエッティングで取り除くことは不可能といわれているが、スパッタリングで除去できる。またスパッタリングの条件によって異方性、非異方性でエッティングできる。

【0053】またレーザでは、直接レーザ光を当てて分離溝を形成でき、この場合は、どちらかといえば分離溝61の側面はストレートに形成される。

【0054】またダイシングでは、曲折した複雑なパターンを形成することは不可能であるが、格子状の分離溝を形成することは可能である。

【0055】尚、図3に於いて、ホトレジストの代わりにエッティング液に対して耐食性のある導電被膜を選択的に被覆しても良い。導電路と成る部分に選択的に被着すれば、この導電被膜がエッティング保護膜となり、レジストを採用することなく分離溝をエッティングできる。この導電被膜として考えられる材料は、Ag、Au、PtまたはPd等である。しかもこれら耐食性の導電被膜は、ダイパッド、ボンディングパッドとしてそのまま活用できる特徴を有する。

【0056】例えばAg被膜は、Auと接着するし、ロウ材とも接着する。よってチップ裏面にAu被膜が被覆されていれば、そのまま導電路51上のAg被膜にチップを熱圧着でき、また半田等のロウ材を介してチップを固着できる。またAgの導電被膜にはAu細線が接着できるため、ワイヤーボンディングも可能となる。従ってこれらの導電被膜をそのままダイパッド、ボンディングパッドとして活用できるメリットを有する。

【0057】続いて、図5の如く、分離溝61が形成された導電箔60に回路素子52を電気的に接続して実装する工程がある。

【0058】回路素子52としては、トランジスタ、ダイオード、ICチップ等の半導体素子、チップコンデンサ、チップ抵抗等の受動素子である。また厚みが厚くなるが、CSP、BGA等のフェイスダウンの半導体素子も実装できる。

【0059】ここでは、ペアのトランジスタチップ52Aが導電路51Aにダイボンディングされ、エミッタ電極と導電路51B、ベース電極と導電路51Bが、熱圧

着によるボールボンディングあるいは超音波によるウェッヂボンディング等で固着された金属細線55Aを介して接続される。また52Bは、チップコンデンサまたは受動素子であり、半田等のロウ材または導電ペースト55Bで固着される。

【0060】更に、図6に示すように、前記導電箔60および分離溝61に絶縁性樹脂50を付着する工程がある。これは、トランスファーモールド、インジェクションモールド、またはディッピングにより実現できる。樹脂材料としては、エポキシ樹脂等の熱硬化性樹脂がトランスファーモールドで実現でき、ポリイミド樹脂、ポリフェニレンサルファイド等の熱可塑性樹脂はインジェクションモールドで実現できる。

【0061】本実施の形態では、導電箔60表面に被覆された絶縁性樹脂の厚さは、回路素子の最頂部から約約100μm程度が被覆されるように調整されている。この厚みは、強度を考慮して厚くすることも、薄くすることも可能である。

【0062】本工程の特徴は、絶縁性樹脂50を被覆するまでは、導電路51となる導電箔60が支持基板となることである。従来では、図25の様に、本来必要としない支持基板5を採用して導電路7～11を形成しているが、本発明では、支持基板となる導電箔60は、電極材料として必要な材料である。そのため、構成材料を極力省いて作業できるメリットを有し、コストの低下も実現できる。

【0063】また分離溝61は、導電箔の厚みよりも浅く形成されているため、導電箔60が導電路51として個々に分離されていない。従ってシート状の導電箔60として一体で取り扱え、絶縁性樹脂をモールドする際、金型への搬送、金型への実装の作業が非常に楽になる特徴を有する。

【0064】続いて、導電箔60の裏面を化学的および/または物理的に除き、導電路51として分離する工程がある。ここでこの除く工程は、研磨、研削、エッティング、レーザの金属蒸発等により施される。

【0065】実験では研磨装置または研削装置により全面を30μm程度削り、分離溝61から絶縁性樹脂50を露出させている。この露出される面を図6では点線で示している。その結果、約40μmの厚さの導電路51となって分離される。また絶縁性樹脂50が露出する手前まで、導電箔60を全面ウェットエッティングし、その後、研磨または研削装置により全面を削り、絶縁性樹脂50を露出させても良い。

【0066】この結果、絶縁性樹脂50に導電路51の表面が露出する構造となる。そして分離溝61が削られ、図1の分離溝54となる。(以上図6参照)

最後に、必要によって露出した導電路51に半田等の導電材を被着し、回路装置として完成する。

【0067】尚、導電路51の裏面に導電被膜を被着す

る場合、図2の導電箔の裏面に、前もって導電被膜を形成しても良い。この場合、導電路に対応する部分を選択的に被着すれば良い。被着方法は、例えばメッキである。またこの導電被膜は、エッチングに対して耐性がある材料がよい。またこの導電被膜を採用した場合、研磨をせずにエッチングだけで導電路51として分離できる。

【0068】尚、本製造方法では、導電箔60にトランジスタとチップ抵抗が実装されているだけであるが、これを1単位としてマトリックス状に配置しても良いし、どちらか一方の回路素子を1単位としてマトリックス状に配置しても良い。この場合は、後述するようにダイシング装置で個々に分離される。

【0069】以上の製造方法によって、絶縁性樹脂50に導電路51が埋め込まれ、絶縁性樹脂50の裏面と導電路51の裏面が一致する平坦な回路装置56が実現できる。

【0070】本製造方法の特徴は、絶縁性樹脂50を支持基板として活用し導電路51の分離作業ができることがある。絶縁性樹脂50は、導電路51を埋め込む材料として必要な材料であり、図25の従来の製造方法のように、不要な支持基板5を必要としない。従って、最小限の材料で製造でき、コストの低減が実現できる特徴を有する。

【0071】尚、導電路51表面からの絶縁性樹脂の厚さは、前工程の絶縁性樹脂の付着の時に調整できる。従って実装される回路素子により違ってくるが、回路装置56としての厚さは、厚くも薄くもできる特徴を有する。ここでは、 $400\mu m$ 厚の絶縁性樹脂50に $40\mu m$ の導電路51と回路素子が埋め込まれた回路装置になる。(以上図1を参照)

回路装置の製造方法を説明する第2の実施の形態

次に図8～図12、図7を使ってひさし58を有する回路装置56の製造方法について説明する。尚、ひさしとなる第2の材料70が被着される以外は、第1の実施の形態と実質同一であるため、詳細な説明は省略する。

【0072】まず図8の如く、第1の材料から成る導電箔60の上にエッチングレートの小さい第2の材料70が被覆された導電箔60を用意する。

【0073】例えばCu箔の上にNiを被着すると、塩化第二鉄または塩化第二銅でCuとNiが一度にエッチングでき、エッチングレートの差によりNiがひさし58と成って形成されるため好適である。太い実線がNiから成る導電被膜70であり、その膜厚は $1\sim10\mu m$ 程度が好ましい。またNiの膜厚が厚い程、ひさし58が形成されやすい。

【0074】また第2の材料は、第1の材料と選択エッチングできる材料を被覆しても良い。この場合、まず第2の材料から成る被膜を導電路51の形成領域に被覆するようにパターニングし、この被膜をマスクにして第1

の材料から成る被膜をエッチングすればひさし58が形成できるからである。第2の材料としては、A1、A2、Au等が考えられる。(以上図8を参照)

続いて、少なくとも導電路51となる領域を除いた導電箔60を、導電箔60の厚みよりも薄く取り除く工程がある。

【0075】Ni70の上に、ホトレジストPRを形成し、導電路51となる領域を除いたNi70が露出するようにホトレジストPRをパターニングし、前記ホトレジストを介してエッチングすればよい。

【0076】前述したように塩化第二鉄、塩化第二銅のエッチャント等を採用しエッチングすると、Ni70のエッチングレートがCu60のエッチングレートよりも小さいため、エッチングが進むにつれてひさし58ができる。

【0077】尚、前記分離溝61が形成された導電箔60に回路素子52を実装する工程(図11)、前記導電箔60および分離溝61に絶縁性樹脂50を被覆し、導電箔60の裏面を化学的および/または物理的に除き、導電路51として分離する工程(図12)、および導電路裏面に導電被膜を形成して完成までの工程(図7)は、前製造方法と同一であるためその説明は省略する。回路素子の製造方法を説明する第3の実施の形態
続いて、一種類の回路素子をマトリックス状に配置し、封止後に個別分離して、ディスクリート素子、IC素子とする製造方法を図13～図19を参照しながら説明する。尚、本製造方法は、第1の実施の形態と殆どが同じであるため、同一の部分は簡単に述べる。

【0078】まず図13の如く、シート状の導電箔60を用意する。

【0079】尚、シート状の導電箔60は、所定の幅でロール状に巻かれて用意され、これが後述する各工程に搬送されても良いし、所定の大きさにカットされた導電箔が用意され、後述する各工程に搬送されても良い。

【0080】続いて、少なくとも導電路51となる領域を除いた導電箔60を、導電箔60の厚みよりも薄く除去する工程がある。

【0081】まず、図14の如く、Cu箔60の上に、ホトレジストPRを形成し、導電路51となる領域を除いた導電箔60が露出するようにホトレジストPRをパターニングする。そして、図15の如く、前記ホトレジストPRを介してエッチングすればよい。

【0082】エッチングにより形成された分離溝61の深さは、例えば $50\mu m$ であり、その側面は、粗面となるため絶縁性樹脂50との接着性が向上される。

【0083】またこの分離溝61の側壁は、模式的にストレートで図示しているが、除去方法により異なる構造となる。この除去工程は、ウェットエッチング、ドライエッチング、レーザによる蒸発、ダイシングが採用できる。(詳細は、第1の実施の形態を参照)

尚、図14に於いて、ホトレジストPRの代わりにエッティング液に対して耐食性のある導電被膜を選択的に被覆しても良い。導電路と成る部分に選択的に被着すれば、この導電被膜がエッティング保護膜となり、レジストを採用することなく分離溝をエッティングできる。

【0084】統いて、図16の如く、分離溝61が形成された導電箔60に回路素子52Aを電気的に接続して実装する工程がある。

【0085】回路素子52Aとしては、トランジスタ、ダイオード、ICチップ等の半導体素子、チップコンデンサ、チップ抵抗等の受動素子である。また厚みが厚くなるが、CSP、BGA等のフェイスダウンの半導体素子も実装できる。

【0086】ここでは、ペアのトランジスタチップ52Aが導電路51Aにダイボンディングされ、エミッタ電極と導電路51B、ベース電極と導電路51Bが金属細線55Aを介して接続される。

【0087】更に、図17に示すように、前記導電箔60および分離溝61に絶縁性樹脂50を付着する工程がある。これは、トランスファーモールド、インジェクションモールド、またはディッピングにより実現できる。

【0088】本実施の形態では、導電箔60表面に被覆された絶縁性樹脂の厚さは、回路素子の最頂部から約100μm程度が被覆されるように調整されている。この厚みは、強度を考慮して厚くすることも、薄くすることも可能である。

【0089】本工程の特徴は、絶縁性樹脂50を被覆する際、導電路51となる導電箔60が支持基板となることである。従来では、図25の様に、本来必要としない支持基板5を採用して導電路7~11を形成しているが、本発明では、支持基板となる導電箔60は、電極材料として必要な材料である。そのため、構成材料を極力省いて作業できるメリットを有し、コストの低下も実現できる。

【0090】また分離溝61は、導電箔の厚みよりも浅く形成されているため、導電箔60が導電路51として個々に分離されていない。従ってシート状の導電箔60として一体で取り扱い、絶縁性樹脂をモールドする際、金型への搬送、金型への実装の作業が非常に楽になる特徴を有する。

【0091】統いて、導電箔60の裏面を化学的および/または物理的に除き、導電路51として分離する工程がある。ここで前記除去工程は、研磨、研削、エッティング、レーザの金属蒸発等により施される。

【0092】実験では研磨装置または研削装置により全面を30μm程度削り、絶縁性樹脂50を露出させている。この露出される面を図17では点線で示している。その結果、約40μmの厚さの導電路51となって分離される。また絶縁性樹脂50が露出する手前まで、導電箔60を全面ウェトエッティングし、その後、研磨または

研削装置により全面を削り、絶縁性樹脂50を露出させても良い。

【0093】この結果、絶縁性樹脂50に導電路51の表面が露出する構造となる。

【0094】更に、図18の如く、露出した導電路51に半田等の導電材を被着する。

【0095】最後に、図19の如く、回路素子毎に分離し、回路装置として完成する工程がある。

【0096】分離ラインは、矢印の所であり、ダイシング、カット、プレス、チョコレートブレーク等で実現できる。尚、チョコレートブレークを採用する場合は、絶縁性樹脂を被覆する際に分離ラインに溝が入るように金型に突出部を形成しておけば良い。

【0097】特にダイシングは、通常の半導体装置の製造方法に於いて多用されるものであり、非常にサイズの小さい物も分離可能であるため、好適である。

【0098】図26の右側には、本発明を簡単にまとめたフローが示されている。Cu箔の用意、AgまたはNi等のメッキ、ハーフエッティング、ダイボンド、ワイヤーボンディング、トランスファーモールド、裏面Cu箔除去、導電路の裏面処理およびダイシングの9工程で回路装置が実現できる。しかも支持基板をメーカーから供給することなく、全ての工程を内作する事ができる。

回路装置の種類およびこれらの実装方法を説明する実施の形態。

【0099】図20は、フェイスダウン型の回路素子80を実装した回路装置81を示すものである。回路素子80としては、ペアの半導体チップ、表面が封止されたCSPやBGA等が該当する。また図21は、チップ抵抗やチップ抵抗等の受動素子82が実装された回路装置83を示すものである。これらは、支持基板が不要であるため、薄型であり、しかも絶縁性樹脂で封止されてあるため、耐環境性にも優れたものである。

【0100】図22は、実層構造について説明するものである。プリント基板や金属基板、セラミック基板等の実装基板84に形成された導電路85に今まで説明してきた本発明の回路装置53、81、83が実装されたものである。

【0101】特に、半導体チップ52の裏面が固着された導電路51Aは、実装基板84の導電路85と熱的に結合されているため、前記導電路85を介して放熱させることができる。また実装基板84として金属基板を採用すると、金属基板の放熱性も手伝って更に半導体チップ52の温度を低下させることができる。そのため、半導体チップの駆動能力を向上させることができる。

【0102】例えばパワーMOS、IGBT、SiT、大電流駆動用のトランジスタ、大電流駆動用のIC(MOS型、BIP型、Bi-CMOS型)メモリ素子等は、好適である。

【0103】また金属基板としては、Al基板、Cu基

板、Fe基板が好ましく、また導電路85との短絡が考慮されて、絶縁性樹脂および／または酸化膜等が形成されている。

【0104】

【発明の効果】以上の説明から明らかなように、本発明では、回路装置、導電路および絶縁性樹脂の必要最小限で構成され、資源に無駄のない回路装置となる。よって完成するまで余分な構成要素が無く、コストを大幅に低減できる回路装置を実現できる。また絶縁性樹脂の被覆膜厚、導電箔の厚みを最適値にすることにより、非常に小型化、薄型化および軽量化された回路装置を実現できる。

【0105】また導電路の裏面のみを絶縁性樹脂から露出しているため、導電路の裏面が直ちに外部との接続に供することができ、図24の如き従来構造の裏面電極およびスルーホールを不要にできる利点を有する。

【0106】しかも回路素子がロウ材、Au、Ag等の導電被膜を介して直接固定されている場合、導電路の裏面が露出されてため、回路素子から発生する熱を導電路を介して直接実装基板に熱を伝えることができる。特にこの放熱により、パワー素子の実装も可能となる。

【0107】また本回路装置は、分離溝の表面と導電路の表面は、実質一致している平坦な表面を有する構造となっており、狭ピッチQFP実装時には回路装置自身をそのまま水平に移動できるので、リードずれの修正が極めて容易となる。

【0108】また導電路の表側に第2の材料を形成しているため、熱膨張係数の違いにより実装基板の反り、特に細長い配線の反りまたは剥離を抑制することができる。

【0109】また導電路の表面に第2の材料から成る被膜を形成することにより、導電路に被着されたひさしが形成できる。よってアンカー効果を発生させることができ、導電路の反り、抜けを防止することができる。

【0110】また本発明の回路装置の製造方法では、導電路の材料となる導電箔自体を支持基板として機能させ、分離溝の形成時あるいは回路素子の実装、絶縁性樹脂の被着時までは導電箔で全体を支持し、また導電箔を各導電路として分離する時は、絶縁性樹脂を支持基板にして機能させている。従って、回路素子、導電箔、絶縁性樹脂の必要最小限で製造できる。従来例で説明した如く、本来回路装置を構成する上で支持基板が要らなくななり、コスト的にも安価にできる。また支持基板が不要であること、導電路が絶縁性樹脂に埋め込まれていること、更には絶縁性樹脂と導電箔の厚みの調整が可能であることにより、非常に薄い回路装置が形成できるメリットもある。

【0111】また図26から明白なように、スルーホールの形成工程、導体の印刷工程（セラミック基板の場合）等を省略できるので、従来より從来より製造工程を

大幅に短縮でき、全行程を内作できる利点を有する。またフレーム金型も一切不要であり、極めて短納期となる製造方法である。

【0112】次に導電箔の厚みよりも薄く取り除く工程（例えばハーフエッティング）までは、導電路を個々に分離せずに取り扱えるため、後の絶縁性樹脂の被覆工程に於いて、作業性が向上する特徴も有する。

【0113】また導電路と絶縁性樹脂で同一面を形成するため、実装された回路装置は、実装基板上の導電路側面に当たることなくずらすことができる。特に位置ずれして実装された回路装置を水平方向にずらして配置し直すことができる。また回路装置の実装後、ロウ材が溶けていれば、それで実装された回路装置は、溶けたロウ材の表面張力により、導電路上部に自ら戻ろうとし、回路装置自身による再配置が可能となる。

【図面の簡単な説明】

【図1】本発明の回路装置を説明する図である。

【図2】本発明の回路装置の製造方法を説明する図である。

【図3】本発明の回路装置の製造方法を説明する図である。

【図4】本発明の回路装置の製造方法を説明する図である。

【図5】本発明の回路装置の製造方法を説明する図である。

【図6】本発明の回路装置の製造方法を説明する図である。

【図7】本発明の回路装置を説明する図である。

【図8】本発明の回路装置の製造方法を説明する図である。

【図9】本発明の回路装置の製造方法を説明する図である。

【図10】本発明の回路装置の製造方法を説明する図である。

【図11】本発明の回路装置の製造方法を説明する図である。

【図12】本発明の回路装置の製造方法を説明する図である。

【図13】本発明の回路装置の製造方法を説明する図である。

【図14】本発明の回路装置の製造方法を説明する図である。

【図15】本発明の回路装置の製造方法を説明する図である。

【図16】本発明の回路装置の製造方法を説明する図である。

【図17】本発明の回路装置の製造方法を説明する図である。

【図18】本発明の回路装置の製造方法を説明する図である。

【図19】本発明の回路装置の製造方法を説明する図である。

【図20】本発明の回路装置を説明する図である。

【図21】本発明の回路装置を説明する図である。

【図22】本発明の回路装置の実装方法を説明する図である。

【図23】従来の回路装置の実装構造を説明する図である。

【図24】従来の回路装置を説明する図である。

【図25】従来の回路装置の製造方法を説明する図である。

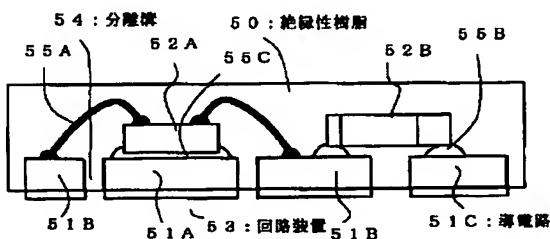
る。

【図26】従来と本発明の回路装置の製造方法を説明する図である。

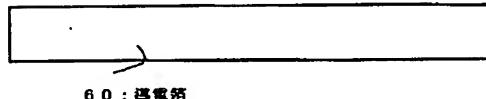
【符号の説明】

50	絶縁性樹脂
51	導電路
52	回路素子
53	回路装置
54	分離溝
55A, 55B, 55C	ひさし
51A, 51B, 51C	導電路

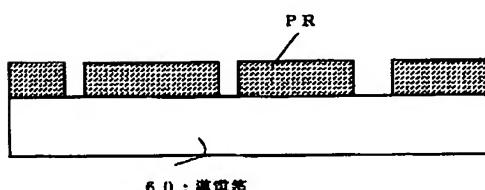
【図1】



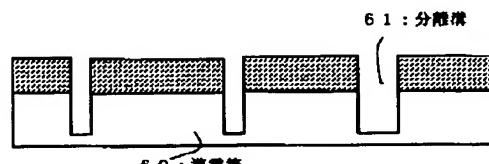
【図2】



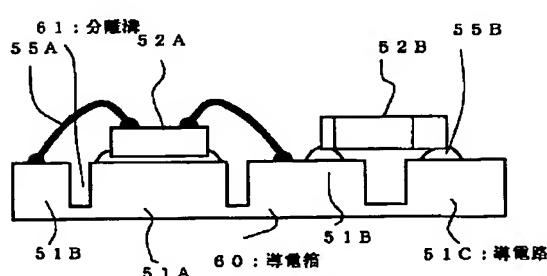
【図3】



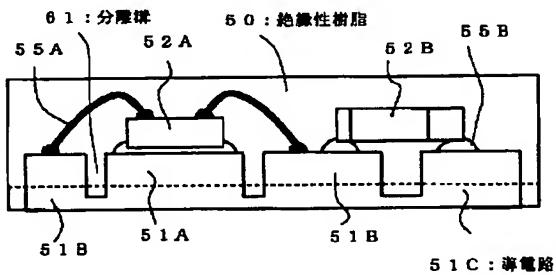
【図4】



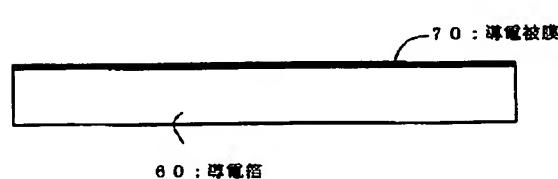
【図5】



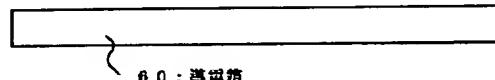
【図6】



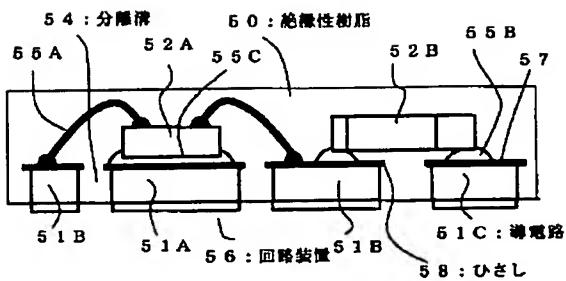
【図8】



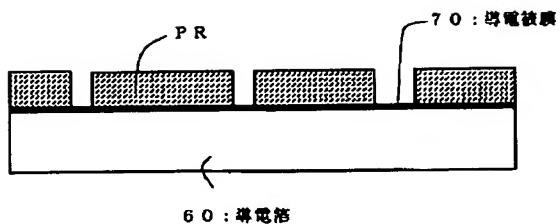
【図13】



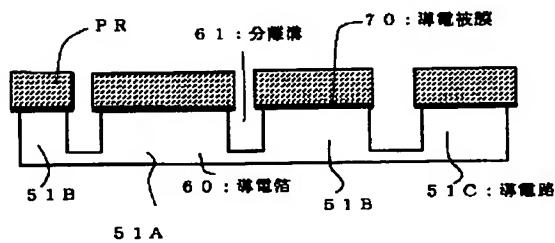
【図7】



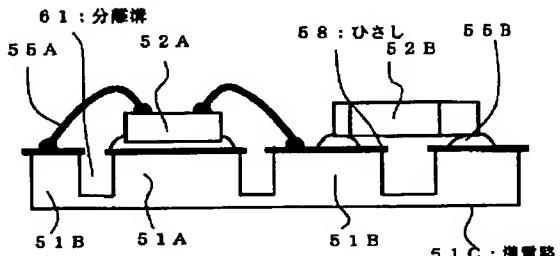
【図9】



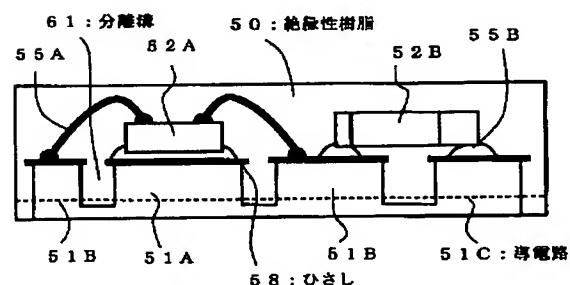
【図10】



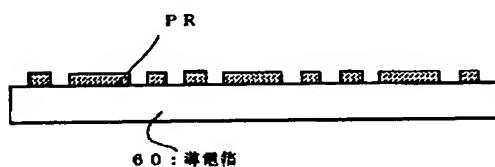
【図11】



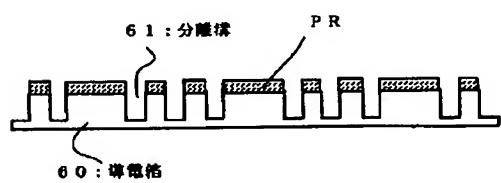
【図12】



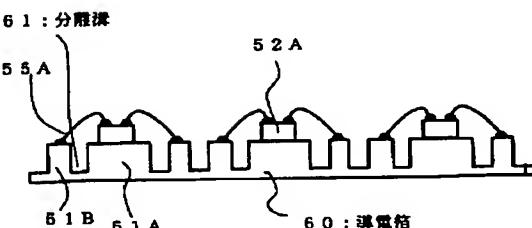
【図14】



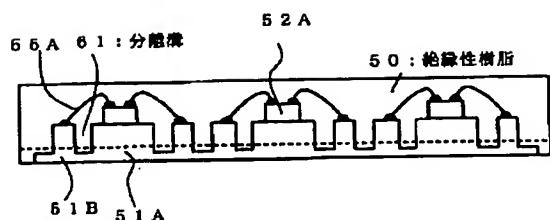
【図15】



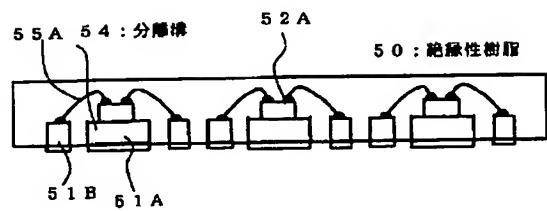
【図16】



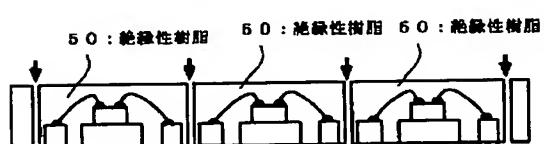
【図17】



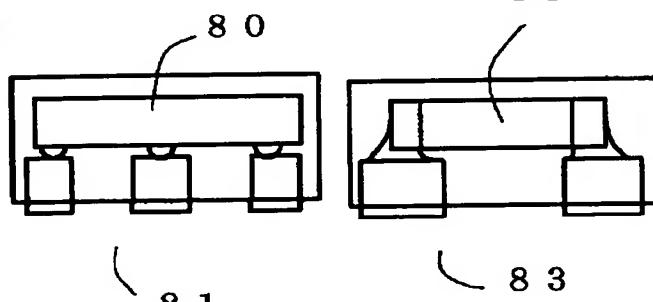
【図18】



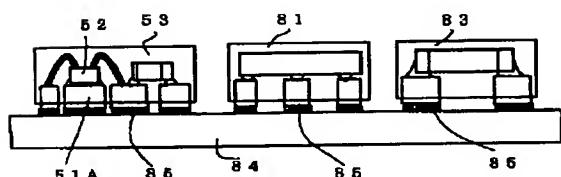
【図19】



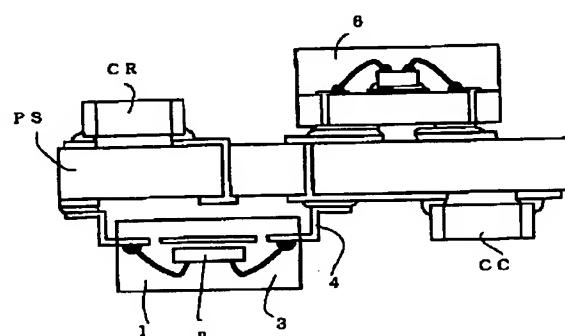
【図20】



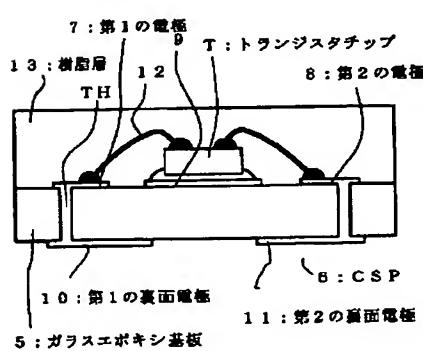
【図22】



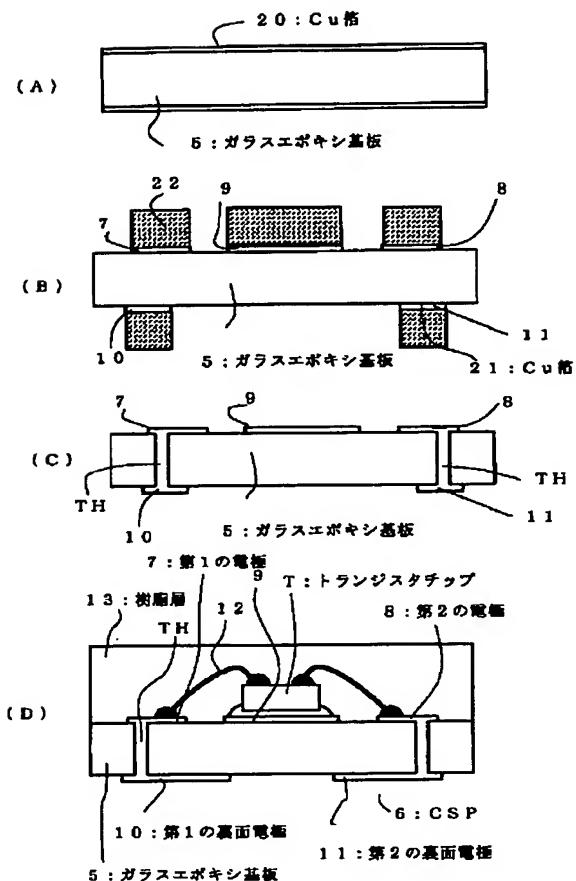
【図23】



【図24】



【図25】



【図26】

従来技術との製法比較

セラミック基板	ガラスエポキシ基板	基板レス
グリーンシート	基材	Cu箔
スルーホール形成	Cu箔裏面圧着	アヒズキ
導体印刷(表)	マスキング～エッチング	ハーフエッティング
導体印刷(裏)	スルーホール形成	ダイボンド
焼結	スルーホールマッキ	ワイヤーボンディング
ポンティングポストNiメッキ	ポンティングポストNiメッキ	トランスマルチールド
ポンティングポストAuメッキ	ポンティングポストAuメッキ	裏面Cu箔除去
ダイボンド	ダイボンド	裏面処理
ワイヤーボンディング	ワイヤーボンディング	ダイシング
樹脂ボーティング	トランスマルチールド	
加熱硬化	ダイシング	
樹脂研磨		
ダイシング		
	従来技術	本発明

フロントページの続き

(72) 発明者 阪本 純次
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内
(72) 発明者 真下 茂明
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内
(72) 発明者 大川 克実
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72) 発明者 前原 栄寿
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内
(72) 発明者 高橋 幸嗣
群馬県伊勢崎市喜多町29番地 関東三洋電
子株式会社内
F ターム(参考) 4M109 AA01 BA01 CA07 CA21 DB03
FA01 FA04 FA10
5F061 AA01 BA01 CA07 CA21 DD11
DD12 DD13 DD14 FA05
5F067 AA01 AA03 AA05 AB04 CA01
DA00 DA16 DA17 DC09 DC15
DC17 DE01 DE08